



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application of

Takeshi MORITA

Serial No. 10/766,471

Filed January 29, 2004

SEMICONDUCTOR DEVICE AND
METHOD OF MANUFACTURING THE
SAME

:

:

: **Attn: APPLICATION BRANCH**

: Attorney Docket No. 2004-0135A

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2003-370060, filed October 30, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Takeshi MORITA

By

Nils E. Pedersen
Registration No. 33,145
Attorney for Applicant

NEP/krq
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
May 10, 2004

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 0 日
Date of Application:

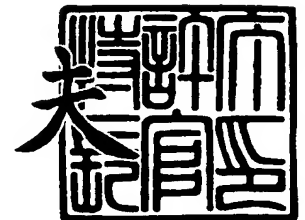
出 願 番 号 特 願 2 0 0 3 - 3 7 0 0 6 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 7 0 0 6 0]

出 願 人
Applicant(s): 沖電気工業株式会社
 宮城沖電気株式会社

2 0 0 4 年 1 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 TA000203
【提出日】 平成15年10月30日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/027
【発明者】
 【住所又は居所】 宮城県黒川郡大衡村沖の平 1 番 宮城沖電気株式会社内
 【氏名】 森田 毅
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【特許出願人】
 【識別番号】 591048162
 【氏名又は名称】 宮城沖電気株式会社
【代理人】
 【識別番号】 100079049
 【弁理士】
 【氏名又は名称】 中島 淳
 【電話番号】 03-3357-5171
【選任した代理人】
 【識別番号】 100084995
 【弁理士】
 【氏名又は名称】 加藤 和詳
 【電話番号】 03-3357-5171
【選任した代理人】
 【識別番号】 100085279
 【弁理士】
 【氏名又は名称】 西元 勝一
 【電話番号】 03-3357-5171
【選任した代理人】
 【識別番号】 100099025
 【弁理士】
 【氏名又は名称】 福田 浩志
 【電話番号】 03-3357-5171
【手数料の表示】
 【予納台帳番号】 006839
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9714945

【書類名】 特許請求の範囲**【請求項 1】**

配線パターン及び前記配線パターンとは異なる複数のダミーパターンと、
前記配線パターン及び前記ダミーパターン上に気相成長法により形成されると共にCMPにより平坦化された絶縁膜と、

を有し、

前記ダミーパターンは、前記絶縁膜の形成時に前記絶縁膜のプラスサイジングにより埋る幅のパターン非形成領域が設けられていることを特徴とする半導体装置。

【請求項 2】

前記ダミーパターンにおける前記パターン非形成領域は、ストライプ状に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ダミーパターンにおける前記パターン非形成領域は、文字状或いは図形状に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記ダミーパターンにおける前記パターン非形成領域は、各ダミーパターン毎に異なる文字状或いは図形状に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記ダミーパターンは、正方形であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記ダミーパターンは、格子状に配列されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

配線パターンを形成する工程と、

前記配線パターンと共に、前記配線パターンとは異なる複数のダミーパターンを形成する工程と、

前記配線パターン及び前記ダミーパターン上に、気相成長法により絶縁膜を形成する工程と、

前記絶縁膜をCMPにより平坦化する工程と、

を有し、

前記ダミーパターンを形成する工程において、前記ダミーパターンは、前記絶縁膜の形成時に前記絶縁膜のプラスサイジングにより埋る幅のパターン非形成領域を設けて形成することを特徴とする半導体装置の製造方法。

【請求項 8】

前記ダミーパターンを形成する工程において、前記ダミーパターンにおける前記パターン非形成領域は、ストライプ状に形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記ダミーパターンを形成する工程において、前記ダミーパターンにおける前記パターン非形成領域は、文字状或いは図形状に形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】

前記ダミーパターンを形成する工程において、前記ダミーパターンにおける前記パターン非形成領域は、各ダミーパターン毎に異なる文字状或いは図形状に形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 11】

前記ダミーパターンを形成する工程において、前記ダミーパターンは、正方形に形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 12】

前記ダミーパターンを形成する工程において、前記ダミーパターンは、格子状に配列し

て形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【書類名】明細書**【発明の名称】半導体装置、及び半導体装置の製造方法****【技術分野】****【0001】**

本発明は、半導体基板上に配線パターンと共に、ダミーパターンを形成した半導体装置、及びその半導体装置の製造方法に関する。

【背景技術】**【0002】**

従来、層間膜CMP (chemical mechanical polishing) 工程においては、目標となる残膜厚設定値まで一括研磨が行われる。その際、研磨初期段階においてウェハ表面に接触する研磨パッドが下地段差からの圧力により弾性変形することにより、パターン密度が低いと研磨パッドからの圧力が高く、パターン密度が高いと研磨パッドからの圧力が分散し低くなるため、配線パターン疎密部間において研磨レート差が生じる。

【0003】

これにより研磨後に配線パターン疎密部間において残膜厚差（以下、グローバル段差ということがある）が発生する。このグローバル段差は下地配線パターンの最疎部と最密部での膜厚差からなり、配線レイアウトにより異なるもので、層間膜CMP工程において、グローバル段差が大きいと下地配線パターン疎部では下地配線パターンの露出もしくは消失、密部では削り不足による残留段差が発生する。

【0004】

こういった下地配線パターンの露出、消失や残留段差があると、後工程で配線を形成する際に配線が形成されず、歩留まりや信頼性の低下を引き起こす。

【0005】

そのため、このグローバル段差を極力下げるため、Chip全面に実配線パターンとは異なるダミーパターン（擬似ダミーパターン）を挿入することが行われている（例えば、特許文献1参照）。このダミーパターン有り無しでグローバル段差は変わり、ダミーパターンを挿入した方がグローバル段差は改善される。

【特許文献1】特開2003-14319

【発明の開示】**【発明が解決しようとする課題】****【0006】**

しかし、ダミーパターンの挿入を行なうと、マスクのパターンレシオ（パターン比率）が大きくなり過ぎ、配線パターンを形成する際のエッチング時に終点検出（EPD: End Point Detector）ができないといった不具合が発生してしまう。そのため、極力、ダミーパターンの挿入を抑え、このグローバル段差を小さくすることが要求される。

【0007】

このように、グローバル段差を改善するためにはダミーパターンを挿入することがよいが、一方で、パターンレシオが大きすぎると、配線パターンのエッチングでEPDが検出できないという不具合が発生する。

【0008】

そこで、本発明は、実際の配線パターンとは異なるダミーパターンを挿入するにあたり、パターンレシオを増大させず、かつ、その配線ダミーパターンがCMPのグローバル段差を改善可能な半導体装置、及びその製造方法を提供することである。

【課題を解決するための手段】**【0009】**

上記課題は、以下の手段により解決される。即ち、

本発明の半導体装置は、配線パターン及び前記配線パターンとは異なる複数のダミーパターンと、前記配線パターン及び前記ダミーパターン上に気相成長法により形成される絶

縁膜と、を有し、

前記ダミーパターンは、前記絶縁膜の形成時に前記絶縁膜のプラスサイジングにより埋る幅のパターン非形成領域が設けられていることを特徴としている。

【0010】

前記ダミーパターンにおける前記パターン非形成領域は、ストライプ状に形成されていてもよいし、文字状或いは図形状に形成されていてもよい。

【0011】

本発明の半導体装置において、前記ダミーパターンにおける前記パターン非形成領域は、各ダミーパターン毎に異なる文字状或いは図形状に形成されていることがよい。

【0012】

本発明の半導体装置において、前記ダミーパターンは、正方形であることがよい。また、前記ダミーパターンは、格子状に配列されていることがよい。

【0013】

一方、本発明の半導体装置の製造方法は、

配線パターンを形成する工程と、

前記配線パターンと共に、前記配線パターンとは異なる複数のダミーパターンを形成する工程と、

前記配線パターン及び前記ダミーパターン上に、気相成長法により絶縁膜を形成する工程と、

を有し、

前記ダミーパターンを形成する工程において、前記ダミーパターンは、前記絶縁膜の形成時に前記絶縁膜のプラスサイジングにより埋る幅のパターン非形成領域を設けて形成することを特徴とする半導体装置の製造方法。

【0014】

前記ダミーパターンを形成する工程において、前記ダミーパターンにおける前記パターン非形成領域は、ストライプ状に形成してもよいし、文字状或いは図形状に形成してもよい。

【0015】

前記ダミーパターンを形成する工程において、前記ダミーパターンにおける前記パターン非形成領域を、各ダミーパターン毎に異なる文字状或いは図形状に形成することがよい。

【0016】

前記ダミーパターンを形成する工程において、前記ダミーパターンは、正方形に形成してもよい。また、前記ダミーパターンは、格子状に配列して形成してもよい。

【0017】

本発明では、配線パターンと共に形成するダミーパターンに、所定幅のパターン非形成領域を設ける。このパターン非形成領域の所定幅を、絶縁膜の形成時に絶縁膜のプラスサイジングにより埋る幅とする。そして、配線パターン及びダミーパターン上に絶縁膜を形成する。

【0018】

ここで、絶縁膜のプラスサイジングとは、絶縁膜の気相成長時に、パターン上面のみならずパターン側壁にも絶縁膜材料が堆積しパターンの大きさを一定の割合で大きくすることである。また、ダミーパターンにおけるパターン非形成領域幅は、パターン非形成領域内の各箇所におけるパターン側壁間の最短距離である。

【0019】

このため、絶縁膜の気相成長時にはパターン側壁に堆積した絶縁膜材料がパターン非形成領域を埋めるので、絶縁膜のカバレッジはパターン非形成領域を設けないダミーパターン（従来のダミーパターン）とパターン非形成領域を設けたダミーパターンとでは変わらない。

【0020】

そして、形成した絶縁膜を平坦化すると、ダミーパターンにパターン非形成領域を設けた分、パターンレシオを低減させつつ、パターン非形成領域を設けないダミーパターンを設けた場合と同等のグローバル段差を得ることができる。

【発明の効果】

【0021】

本発明の半導体装置及びその製造方法によれば、実際の配線パターンとは異なるダミーパターンを挿入するにあたり、パターンレシオを増大させず、かつ、その配線ダミーパターンがCMPのグローバル段差を改善可能、といった効果を奏する。

【発明を実施するための最良の形態】

【0022】

以下、本発明について図面を参照しつつ説明する。なお、実質的に同一の機能を有する部材には、全図面通して同じ符号を付して説明する。

【0023】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体装置を示す部分平面図(A)及び部分断面図(B)である。図2は、本発明の第1の実施形態に係る半導体装置の製造方法を示す工程図である。

【0024】

本実施形態の半導体装置は、図1(A)に示すように、半導体基板10上にゲート配線パターン12(配線パターン)が形成されると共に、その周辺に複数のダミーパターン14が形成されている。そして、図1(B)に示すように、ゲート配線パターン12及びダミーパターン14上には、層間絶縁膜として、CMPにより平坦化されたBPSG(Boro Phospho Silicate Glass)酸化膜16(絶縁膜)が形成されている。ここで、図1(A)は、図1(B)におけるB-B断面図である。

【0025】

ダミーパターン14には、複数の線状パターン14a間によって、ストライプ状のスリット14b(パターン非形成領域)が設けられている。

【0026】

ダミーパターン14におけるスリット14bの幅は、スリット14bが層間絶縁膜の形成時にダミーパターンのプラスサイジングにより埋る幅としている。具体的には、例えば、プラスサイジングにより埋る幅としては、72 μ m以下の幅である。

【0027】

次に、本実施形態に係る半導体装置の製造方法について説明する。

まず、半導体基板10上に、ゲート電極作成用マスクを用いて、ゲート配線パターン12と共に、複数のダミーパターン14を形成する(図2(A))。

【0028】

次に、ゲート配線パターン12及びダミーパターン14上に、気相成長法によりBPSG酸化膜16を形成する。この際、まず、ダミーパターンのプラスサイジングが生じるため、ダミーパターン14のスリット14bがBPSG酸化膜16の構成材料が線状パターン14a側面から堆積して埋る(図2(B))。その後、BPSG酸化膜16が形成される(図2(C))。

【0029】

その後、BPSG酸化膜16の表面をCMPにより平滑化する(図2(D))。このようにして半導体装置が製造される。

【0030】

以上、説明したように、本実施形態では、ダミーパターン14に所定幅のスリット14bを設け、BPSG酸化膜16の気相成長時にスリット14bをダミーパターンのプラスサイジングより埋めるようにしたので、スリット14bを設けないダミーパターン14(従来のダミーパターン)と変わらないカバレッジでBPSG酸化膜16が形成されている。

【0031】

このため、BPSG酸化膜16を平坦化すると、ダミーパターン14にスリット14bを設けた分、パターンレシオを低減させつつ、従来のダミーパターンを設けた場合と同等のグローバル段差を得ることができる。

【0032】

また、本実施形態では、ダミーパターン14を格子状に配列していることによって、格子の間隔を変化させてパターンレシオを容易に最適化することができる。これにより、より効果的にグローバル段差の増大の抑制が可能となる。

【0033】

(第2の実施形態)

図3は、本発明の第2の実施形態に係る半導体装置を示す部分平面図(A)及び部分断面図(B)である。

【0034】

本実施形態は、図3に示すように、正方形のダミーパターン14の中心部に任意の図形状の(本実施形態では「正方形」)の開口部14c(パターン非形成領域)を設けた形態である。ここで、図3(B)は、図1(A)におけるB-B断面図である。これ以外は、第1の実施形態と同様であるので説明を省略する。

【0035】

上記第1の実施形態では、複数の線状パターン14aが所定の間隔で配列させたダミーパターン14(スリット14bを設けたダミーパターン14)を形成した形態を説明したが、この場合、ダミーパターン14が複数の線状パターン14aで構成しているので、図形数が増加し、ダミーパターン14(線状パターン14a)が多量に挿入されてしまう。その結果、単なる正方形ダミーパターン(スリット14bが設けられていないダミーパターン14)を挿入した時の設計データファイル容量(GDS2データ)と比較して図形数が多いので、データ容量は避けられず、実用上の扱いが不便であるという問題がある。

【0036】

そこで、本実施形態では、中心部に任意の図形状の開口部14cを設けた正方形ダミーパターン14を形成することで、図形数の増大を抑制する。この開口部14c幅は、上記第1の実施形態のスリット14b幅と同様である。また、開口部14cの形状は、正方形に限られず任意の図形状とすることができる。

【0037】

このため、本実施形態は、上記第1の実施形態と同様に、ダミーパターン14に開口部14cを設けた分、パターンレシオを低減させつつ、従来のダミーパターンを設けた場合と同等のグローバル段差を得ることができると共に、設計データファイル容量(GDS2データ)を低減させ実用上の扱いを向上させることができる。

【0038】

(第3の実施形態)

図4は、本発明の第3の実施形態に係る半導体装置を示す部分平面図(A)及び部分断面図(B)である。

【0039】

本実施形態は、図4に示すように、正方形ダミーパターン14の中心部に任意の文字状(本実施形態では「A」)の開口部14c(パターン非形成領域)を設けた形態である。ここで、図4(B)は、図1(A)におけるB-B断面図である。これ以外は、第2の実施形態と同様であるので説明を省略する。

【0040】

本実施形態では、開口部14cの形状を任意の文字状にすることで、ゲート配線パターン12と、ダミーパターン14とを容易に識別可能となる。

【0041】

(第4の実施形態)

図5は、本発明の第4の実施形態に係る半導体装置を示す部分平面図である。

【0042】

本実施形態は、図5に示すように、正方形ダミーパターン14に、ダミーパターン14毎に異なる任意の文字状或いは図形状（本実施形態では「数字」）の開口部14c（パターン非形成領域）を設けた形態である。これ以外は、第3の実施形態と同様であるので説明を省略する。

【0043】

本実施形態では、開口部14cの形状を、ダミーパターン14毎に異なる文字状或いは図形状にすることで、ダミーパターン14をアドレスとして用いることができる。これにより、容易に半導体装置内の特定パターンを識別することが可能となる。

【0044】

上記何れの実施形態においては、配線パターンとしてゲート電極パターンを例に挙げて説明したが、これに限定されない。配線の多層化、半導体装置の3次元化等を図る際に形成するメタル配線パターンにおいても適用が可能である。また、層間絶縁膜としてBPSG酸化膜を例にして説明したが、これに限定されるものではなく、例えば、高密度プラズマCVD（High Density Plasma-Chemical Vapor Deposition: HDP-CVD）酸化膜など、同様の現象が起こるものであれば適用が可能である。

【図面の簡単な説明】

【0045】

【図1】本発明の第1の実施形態に係る半導体装置を示す部分平面図（A）及び部分断面図（B）である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法を示す工程図である。

【図3】本発明の第2の実施形態に係る半導体装置を示す部分平面図（A）及び部分断面図（B）である。

【図4】本発明の第3の実施形態に係る半導体装置を示す部分平面図（A）及び部分断面図（B）である。

【図5】本発明の第4の実施形態に係る半導体装置を示す部分平面図（A）及び部分断面図（B）である。

【符号の説明】

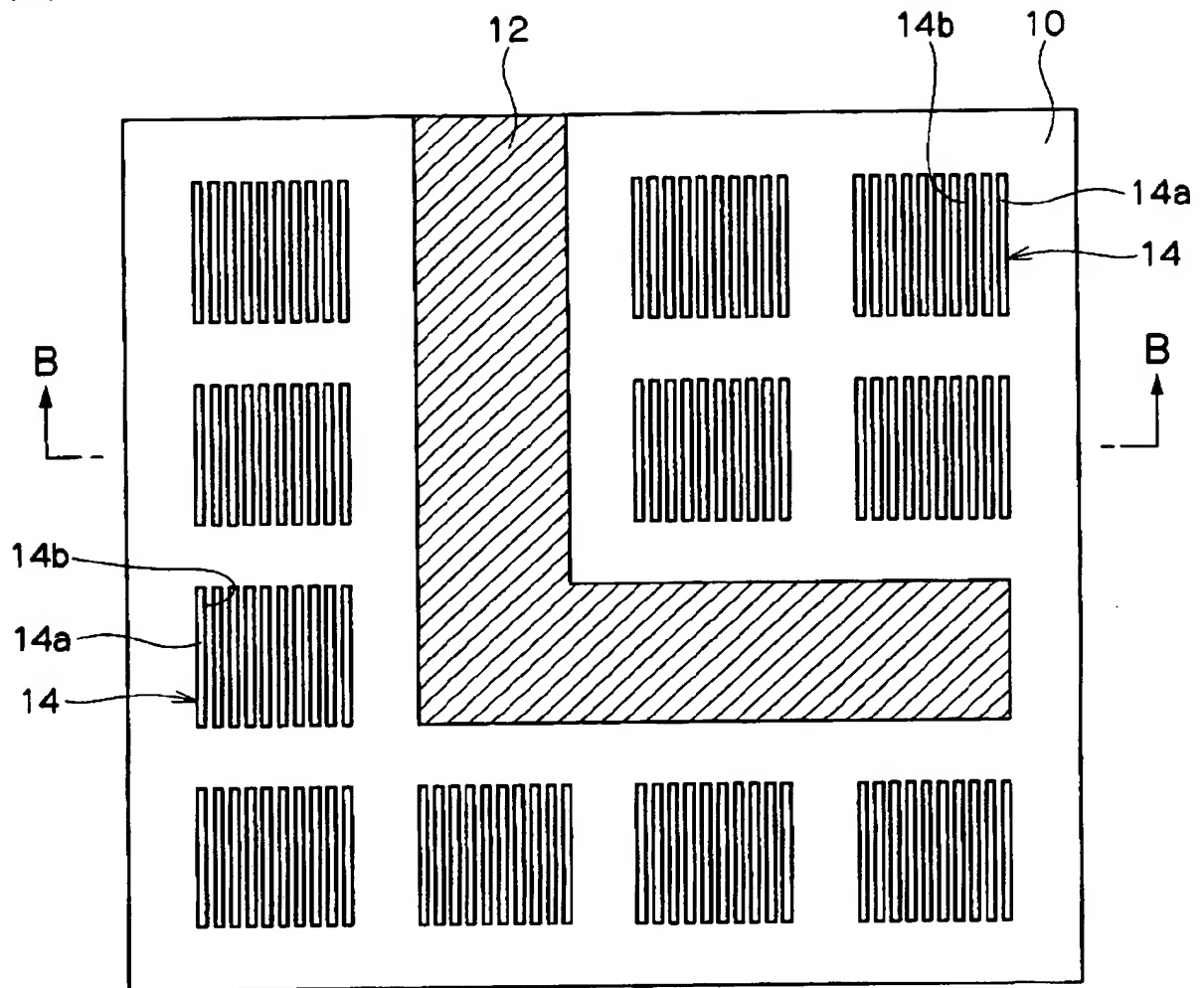
【0046】

- 10 半導体基板
- 12 ゲート配線パターン（配線パターン）
- 14 ダミーパターン
- 14a 線状パターン
- 14b スリット（パターン非形成領域）
- 14c 開口部（パターン非形成領域）
- 16 BPSG酸化膜（層間絶縁膜）

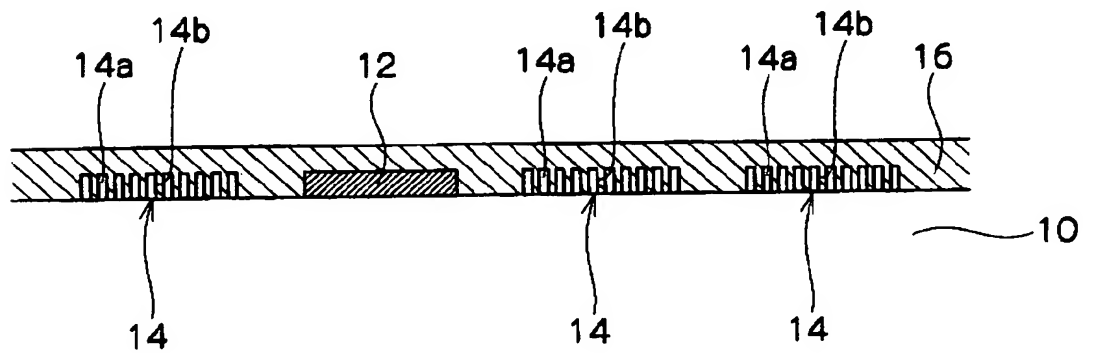
【書類名】 図面

【図 1】

(A)

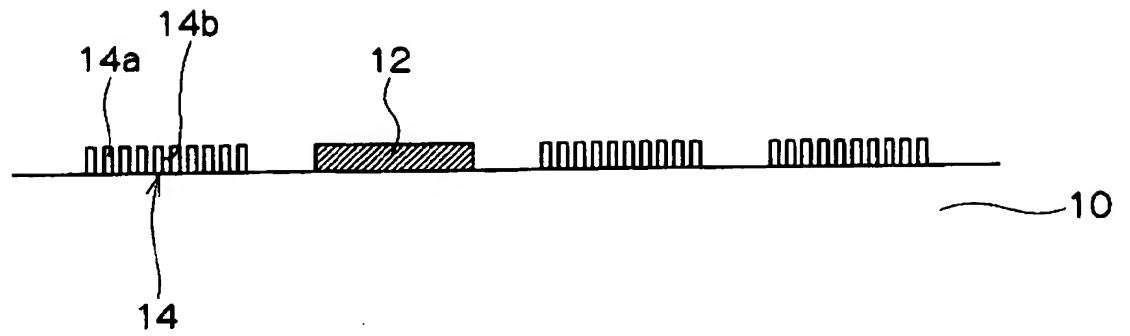


(B)

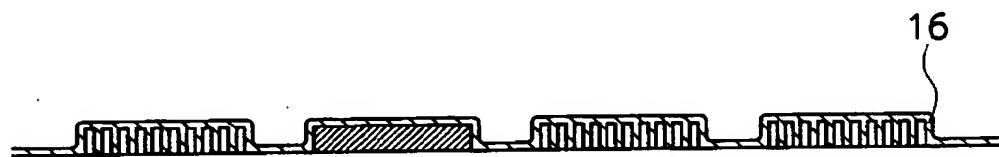


【図 2】

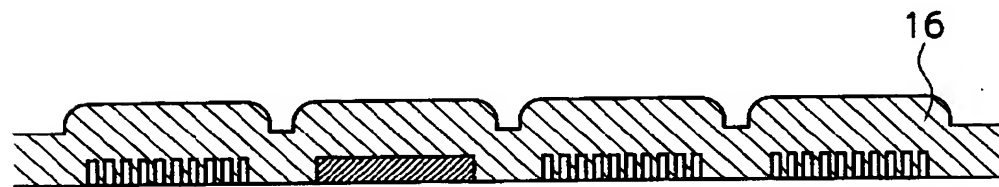
(A)



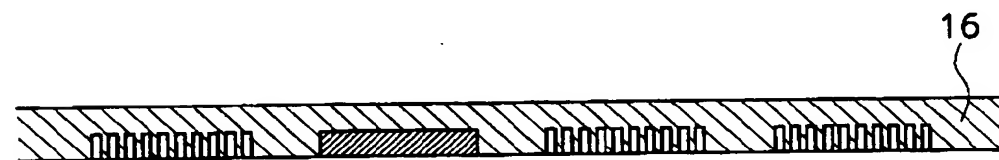
(B)



(C)

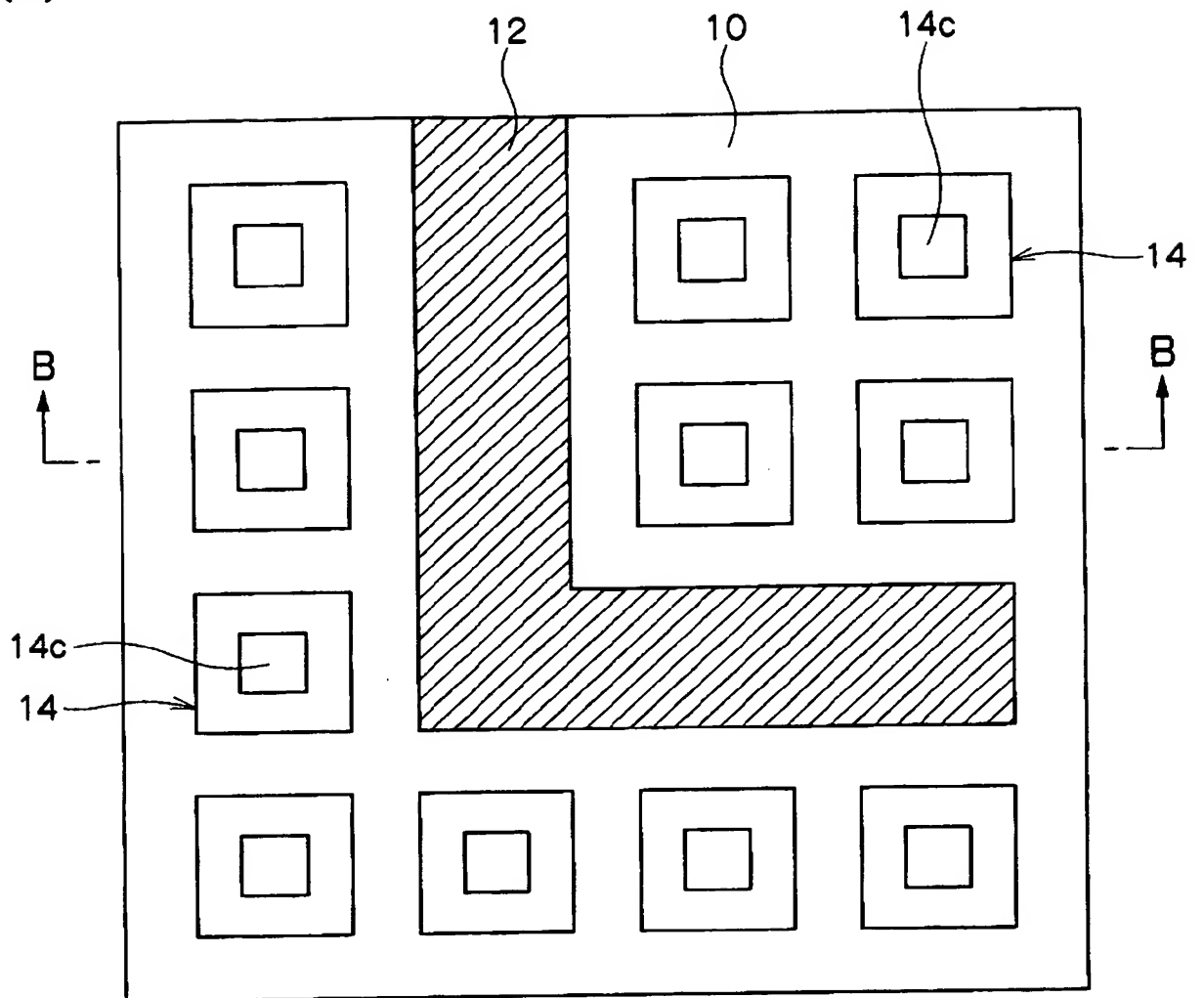


(D)

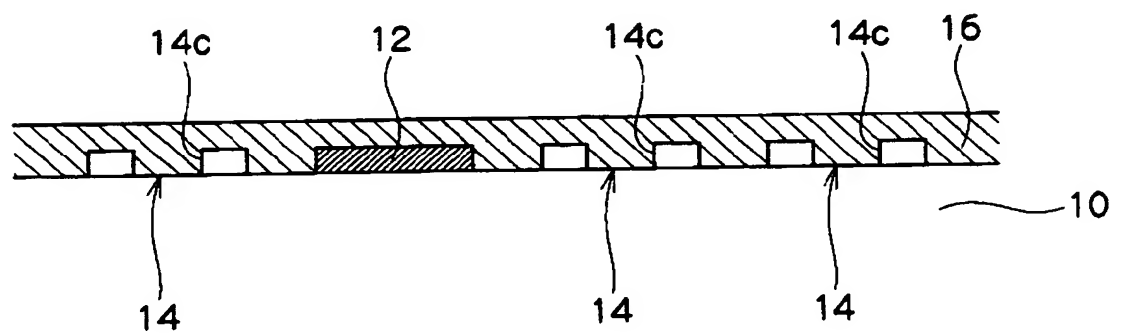


【図 3】

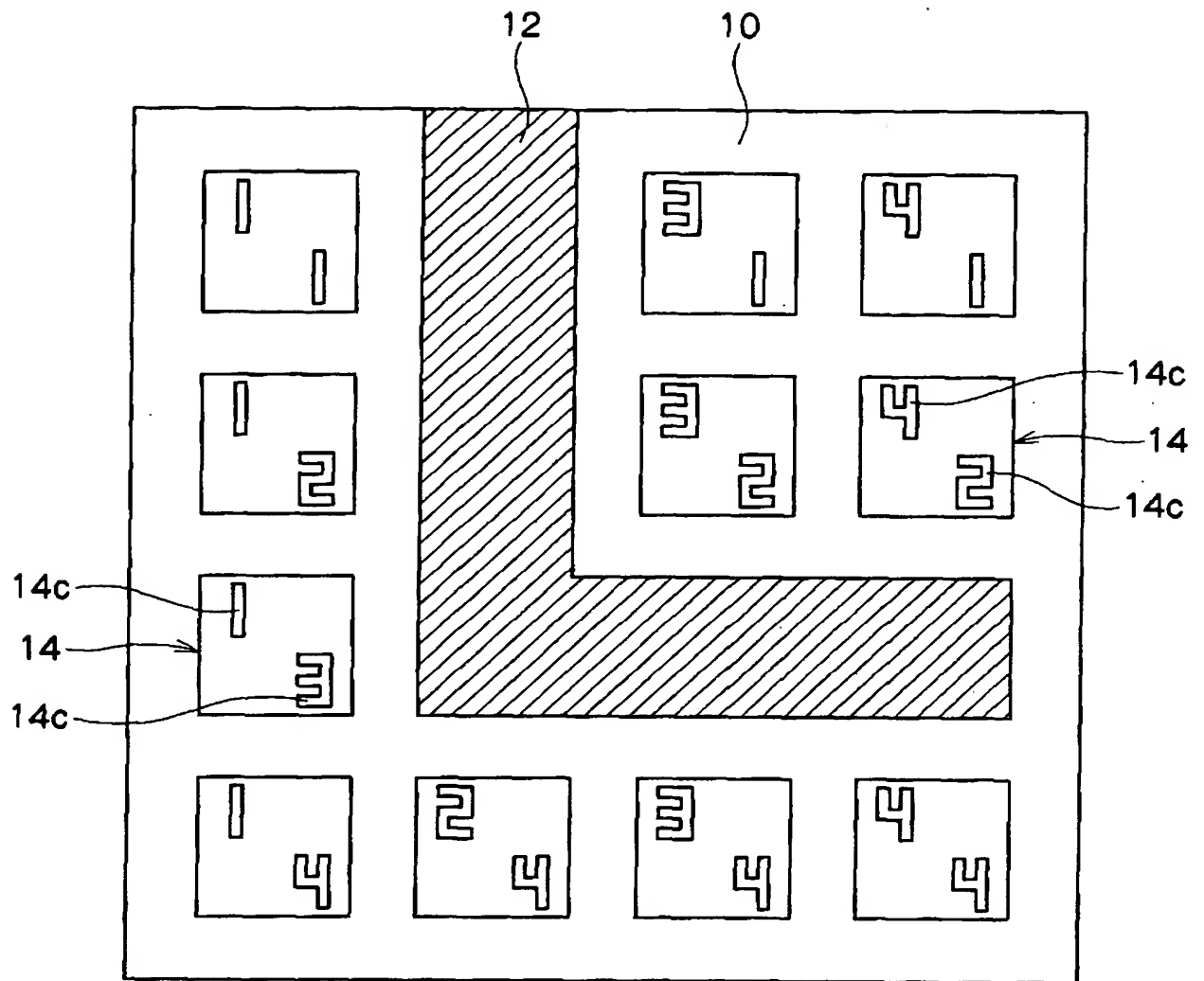
(A)



(B)



【図 5】



【書類名】 要約書**【要約】****【課題】**

実際の配線パターンとは異なるダミーパターンを挿入するにあたり、パターンレシオを増大させず、かつ、その配線ダミーパターンがCMPのグローバル段差を改善可能な半導体装置、及びその製造方法を提供すること。

【解決手段】

半導体基板 1 0 上にゲート配線パターン 1 2（配線パターン）及びその周辺に複数のダミーパターン 1 4 を有し、そして、ゲート配線パターン 1 2 及びダミーパターン 1 4 上には、層間絶縁膜として、CMPにより平坦化されたBPSG酸化膜 1 6（絶縁膜）が形成されている構成の半導体装置において、ダミーパターン 1 4 をスリット 1 4 bなどのパターン形成領域を設けて形成する。

【選択図】 図 1

特願 2 0 0 3 - 3 7 0 0 6 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 3 7 0 0 6 0

出 願 人 履 歴 情 報

識別番号 [5 9 1 0 4 8 1 6 2]

1. 変更年月日	2 0 0 2 年 7 月 4 日
[変更理由]	住所変更
住 所	宮城県黒川郡大衡村沖の平 1 番
氏 名	宮城沖電気株式会社